

CLIPPEDIMAGE= JP402146875A

PAT-NO: JP402146875A

DOCUMENT-IDENTIFIER: JP 02146875 A

TITLE: BORDER GENERATOR

PUBN-DATE: June 6, 1990

INVENTOR-INFORMATION:

NAME

EMORI, TAKEO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63300258

APPL-DATE: November 28, 1988

INT-CL (IPC): H04N005/268

ABSTRACT:

PURPOSE: To attain framing even to a data in which part of an input picture should not be missing by devising the generator such that a frame is freely added to the outer side and the inner side of the input picture.

CONSTITUTION: An output of a horizontal mask counter 10 during the horizontal period is given to comparators 1-4. On the other hand, a horizontal start position data is fed to a latch 21, a horizontal end position data is fed to a

Best Available Copy

latch 22 and a border value is stored in a latch 23 as a horizontal width data. When the data in the latch 21 and a content of a counter 10 are coincident, a comparator 1 reaches a high level and a comparator 2 changes to a low level. Both the levels are synthesized (41) to form a horizontal video key. Then the data of the latch 23 is converted by a 2's complement converter 50 and a horizontal start value is added (31). Moreover, the output of an adder 32 and the content of the counter 10 are compared by a comparator 4 and a border end pulse is obtained. The outputs of the comparators 3, 4 are synthesized (42) to form a horizontal order key. Then a horizontal boarder is generated by an AND circuit 43. A vertical border is formed similarly.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報(A)

平2-146875

⑤Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬公開 平成2年(1990)6月6日

H 04 N 5/268

8320-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 ボーダ発生器

⑮特 願 昭63-300258

⑯出 願 昭63(1988)11月28日

⑰発明者 江 森 武 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲代 理 人 弁理士 村田 幹雄

## 明 細 書

## 1. 発明の名称

ボーダ発生器

## 2. 特許請求の範囲

テレビジョン映像信号をデジタル処理して得た画像データを1フレームメモリの予め定められた位置に縮小率に応じて書き込み、前記メモリに書き込まれた画像データを読み出すテレビジョンデジタルビデオエフェクト装置において用いる水平又は垂直用のボーダ発生器であって、

水平又は垂直期間毎にクリアのかかる水平又は垂直マスタカウンタと、

予めCPUで計算された水平又は垂直スタート値、水平又は垂直エンド値及び基準値に対するボーダ幅を保持する第一、第二及び第三のラッチと、

水平又は垂直マスタカウンタと第一及び第二ラッチを比較するための第一及び第二の比較器と、

第三のラッチの出力データを2の補数に変換す

る変換器と、

変換器の出力と第一のラッチの出力とを加える

第一の加算器と、

第一の加算器の出力と水平又は垂直マスタカウンタとを比較する第三の比較器と、

第三のラッチの出力と第二のラッチの出力とを加える第二の加算器と、

第二の加算器の出力と水平又は垂直マスタカウンタとを比較する第四の比較器と、

第一及び第二の比較器の出力を合成する第一のアンド回路と、

第三及び第四の比較器の出力を合成する第二のアンド回路と、

第二のアンド回路の出力を第三のラッチの出力の極性ビットによって反転する第一のエクスクルージブ回路と、

第一のアンド回路の出力を反転するインバータ回路と、

インバータ回路の出力を第三のラッチの出力の極性ビットによって反転する第二のエクスクルーシブ回路の出力と、そして、

第一及び第二のエクスクルーシブ回路の出力を合成する第三のアンド回路と、

からなることを特徴とする水平又は垂直ボーダ発生器。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、テレビジョンデジタルビデオエフェクト装置(DVE)で縮小された画像の外側或いはその内側に、枠を自由に付加する為のボーダ発生器に関する。

#### 〔従来の技術〕

従来この種のテレビジョンデジタルビデオエフェクト装置(DVE)では、テレビジョン映像信号をデジタル処理して得た画像データを1フレームメモリの予め定められた位置に縮小率に応じて

水平又は垂直用のボーダ発生器の欠点を解決し、入力画像の外側でも内側でも枠を自由に付加することができるようにすることにより、入力画像の一部が欠けてしまっているようなデータに関しても枠付けができるようするボーダ発生器を提供することである。

本発明は上記目的を達成するものであり、テレビジョン映像信号をデジタル処理して得た画像データを1フレームメモリの予め定められた位置に縮小率に応じて書き込み、前記メモリに書込まれた画像データを読出すテレビジョンデジタルビデオエフェクト装置において用いる水平又は垂直用のボーダ発生器であって、水平又は垂直期間毎にクリアのかかる水平又は垂直マスタカウンタと、予めCPUで計算された水平又は垂直スタート値、水平又は垂直エンド値及び基準値に対するボーダ幅を保持する第一、第二及び第三のラッチと、水平又は垂直マスタカウンタと第一及び第二ラッチ

書き込み、また、メモリに書込まれた画像データを読出していた。

このようなテレビジョンデジタルビデオエフェクト装置において用いる水平又は垂直用のボーダ発生器では、縮小された画像の内側だけしか枠を付加できなかった為、入力画像の一部が欠けてしまった。

#### 〔発明が解決しようとする課題〕

従来のテレビジョンデジタルビデオエフェクト装置において用いる水平又は垂直用のボーダ発生器では、縮小された画像の内側だけしか枠を付加できなかった為、入力画像の一部が欠けてしまった。従って、実際上は、入力画像の一部が欠けてしまっているようなデータに関しては枠付けができない欠点があった。

#### 〔課題を解決するための手段〕

本発明の目的は、上述した従来のテレビジョンデジタルビデオエフェクト装置において用いる水

を比較するための第一及び第二の比較器と、第三のラッチの出力データを2の補数に変換する変換器と、変換器の出力と第一のラッチの出力とを加える第一の加算器と、第一の加算器の出力と水平又は垂直マスタカウンタとを比較する第三の比較器と、第三のラッチの出力と第二のラッチの出力とを加える第二の加算器と、第二の加算器の出力と水平又は垂直マスタカウンタとを比較する第四の比較器と、第一及び第二の比較器の出力を合成する第一のAND回路と、第三及び第四の比較器の出力を合成する第二のAND回路と、第二のAND回路の出力を第三のラッチの出力の極性ビットによって反転する第一のエクスクルーシブ回路と、第一のAND回路の出力を反転するインバータ回路と、インバータ回路の出力を第三のラッチの出力の極性ビットによって反転する第二のエクスクルーシブ回路の出力と、そして、第一及び第二のエクスクルーシブ回路の出力を合成する第三

のアンド回路と、からなることを特徴とする。

〔実施例〕

次に、本発明に係るボーダ発生器について図面を参照して説明する。

第1図は、テレビジョンデジタルビデオエフェクト装置(DVE)のブロック図で、ボーダ発生器と他の構成要素との位置関係を示している。

テレビジョン画像入力信号は、A/Dコンバータでデジタル信号に変換される。フレームメモリでは、書込アドレス及び読出アドレスが指定され、ボーダ発生器及びビデオ発生器により、テレビジョン画像に対し所定の位置関係を有する枠が形成される。次に、D/Aコンバータによりアナログ信号に戻され出力される。

第3図(a)～(c)は、オリジナルのテレビジョン画像に対してボーダがどのように付加されるかを示す正面図である。第3図(a)は、横の長さがAで縦の長さがBのオリジナルのテレビジ

ョン画像であり、第3図(b)は、内側ボーダ付き画像であり、そして、第3図(c)は、外側ボーダ付き画像である。

第2図は、本発明に係るボーダ発生器の一実施例の回路図である。

一般的に、ボーダは、水平及び垂直ボーダから成るが、本発明に係るボーダ発生器は、水平又は垂直ボーダを作成するために全く同一の構成を採る。従って、ここでは、水平ボーダを作成するためのボーダ発生器について説明する。

まず、水平期間毎に水平マスタカウンタ10はクリアされ、その出力は比較器1, 2, 3, 4に受け渡される。一方、CPUで予め計算された水平スタート位置データはラッチ21に、水平エンド位置データはラッチ22に、また基準値(ラッチ21, 22の値)に対する差、即ちボーダ幅は水平幅データとしてラッチ23に保持される。ラッチ21で保持されたデータとカウンタとの値が一致した時、比

較器1は低から高のレベルになる。一方、比較器2では高から低のレベルに変化する。この両者をアンド回路41によって合成し、水平ビデオキが作られる。

次に、ラッチ23で保持されている水平幅データは、2の補数変換器50で変換し、基準値の水平スタート値と加算器31で加算する。その出力と水平マスタカウンタ10とは比較器3で比較され、ボーダのスタートパルスが得られる。ボーダエンドデータは先の2の補数変換器50を通さず、直接基準の水平エンド値と加算器32で加算する。その出力と水平マスタカウンタ10とは比較器4で比較され、ボーダのエンドパルスが得られる。

比較器3及び比較器4の出力は、同様にアンド回路42で合成され水平ボーダキが作られる。基準のビデオキはインバータ回路60を通りエクスクルシブ回路72に、そして、ボーダキは、エクスクルシブ回路71に受け渡される。それぞれの入力

は水平幅データの極性ビット、即ち、サインビットによって制御される。

第4図(a)及び(b)は、上述のようにして得られた水平ボーダ発生器のタイミング図である。

そして、その出力をアンド回路43によって合成し、水平ボーダが作成する。

垂直ボーダにおいても全く同様であり、それぞれ、アンド回路44, 45によって合成する。そのボーダ信号によって映像信号とボーダ信号とをラッチ24, 25で切替える。

〔発明の効果〕

以上説明したように本発明は、マスタカウンタと予め計算したデータを保持する為のラッチと、マスタカウンタとその保持されたデータを比較する為の比較器と、ボーダ幅の可変量によって極性を変えるエクスクルシブ回路と、そして、アンド回路を有しているため、基準のビデオキデータを基にボーダの幅を加算することができ、外側で

も内側でもボードを自由に付加させる効果がある。

#### 4. 図面の簡単な説明

第1図は、テレビジョンデジタルビデオエフェクト装置(DVE)のブロック図で、ボーダ発生器と他の構成要素との位置関係を示している。

第2図は、本発明に係るボーダ発生器の一実施例の回路図である。

第3図(a)～(c)は、オリジナル画像に対してボーダがどのように付加されるかを示す正面図である。そして、

第4図 (a) 及び (b) は、水平ボーグ発生器のタイミング図である。

1 ~ 4 ... 比較器

10… 水平マスカウンタ

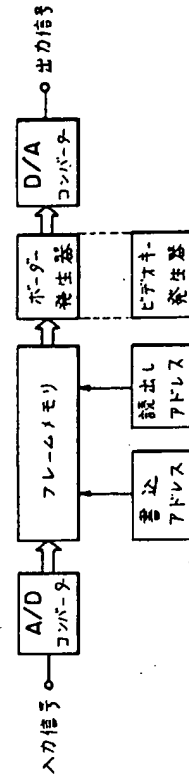
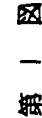
21~25… ラッチ                      31, 31 … 加算器

41~45... アンド回路      50... 2の補数変換器

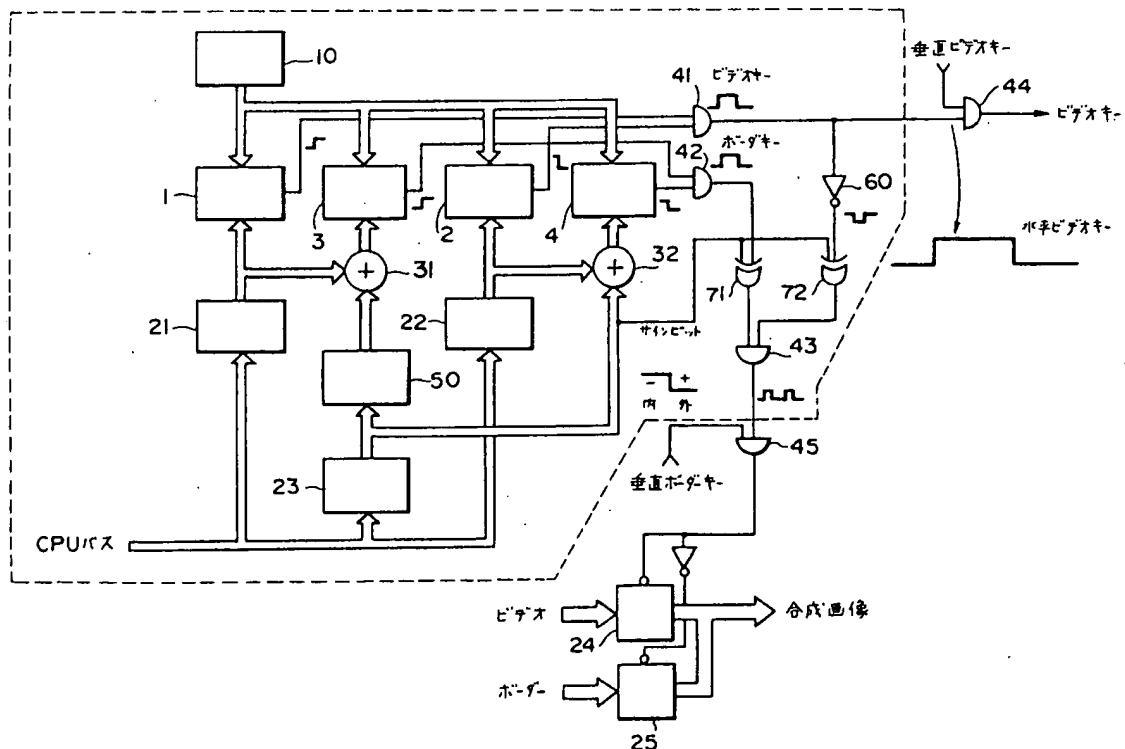
## 60…インバータ回路

71, 72 ... エクスクルーシブ回路

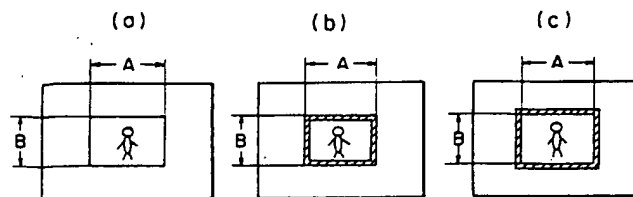
代理人 弁理士 村田幹雄



第 2 図



第 3 図



第 4 図

